

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-161831

(43)Date of publication of application : 21.06.1996

(51)Int.Cl. G11B 20/10
G11B 20/18
G11B 20/18

(21)Application number : 06-300028

(71)Applicant : SONY CORP

(22)Date of filing : 02.12.1994

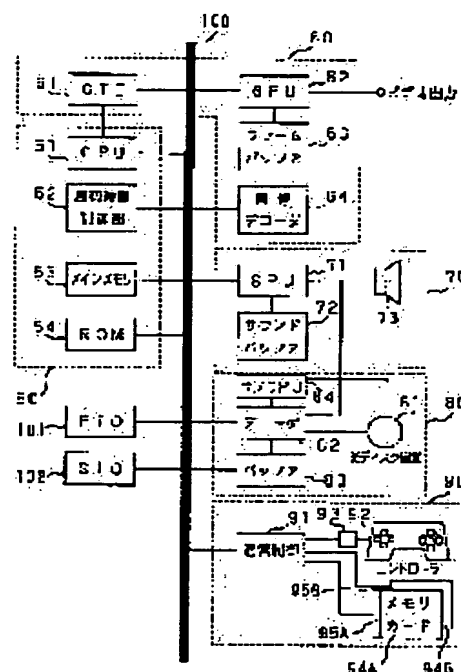
(72)Inventor : IKEDA TAKAO
SUZUOKI MASAKAZU
YUTAKA TEIJI

(54) DISK REPRODUCING DEVICE

(57)Abstract:

PURPOSE: To change over error processing to assure the reliability of reproduced data and error processing to assure the continuity of the reproduced data at the time of successively reading and reproducing the data recorded by each of prescribed processing units on a disk-shaped recording medium.

CONSTITUTION: The operation mode of a sub-CPU 84 which executes the error processing meeting the result of the error detection by a decoder 82 is changed over by a host CPU 51 at the time of successively reading and reproducing the data recorded by each of the prescribed processing units on an optical disk. The reproduced data free from the errors accumulated in a buffer memory 83 is outputted at a retry mode in a first operation mode. The updating of the reproduced data accumulated in a buffer memory 83 is prohibited in a frame unit and the reproduced data is outputted at a no-retry mode when the error is detected in a second operation mode.



LEGAL STATUS

[Date of request for examination] 04.12.2000

[Date of sending the examiner's decision of rejection] 15.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-161831

(43)公開日 平成8年(1996)6月21日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/10	3 2 1 Z	7736-5D		
20/18	5 2 0 E	8940-5D		
	5 5 2 Z	8940-5D		

審査請求 未請求 請求項の数3 O L (全 15 頁)

(21)出願番号 特願平6-300028

(22)出願日 平成6年(1994)12月2日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 池田 高雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 鈴置 雅一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 豊 禎治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

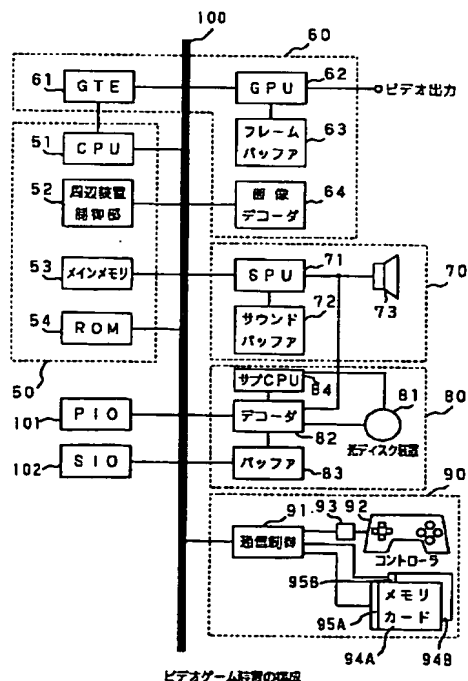
(74)代理人 弁理士 小池 晃 (外2名)

(54)【発明の名称】 ディスク再生装置

(57)【要約】

【目的】 ディスク状記録媒体に所定の処理単位毎に記録されたデータを順次読み取って再生するにあたり、再生データの信頼性を確保するエラー処理と、再生データの連続性を確保するエラー処理とを切り換えることができるようにしたディスク再生装置を提供する。

【構成】 光学ディスクに所定の処理単位毎に記録されたデータを順次読み取って再生するにあたり、デコーダ82によるエラー検出結果に応じたエラー処理を行うサブCPU84の動作モードをホストCPU51により切り換えて、第1の動作モードでは、リトライモードでバッファメモリ83に蓄積したエラーのない再生データを出力し、第2の動作モードでは、エラーが検出された場合に上記バッファメモリ83に蓄積した再生データの更新をフレーム単位で禁止して、ノーリトライモードで再生データを出力する。



【特許請求の範囲】

【請求項 1】 ディスク状記録媒体に所定の処理単位毎に記録されたデータを順次読み取って再生するディスク再生装置であって、

再生データを蓄積して出力する記憶手段と、

再生データに発生したエラーを検出するエラー発生検出手段と、

上記エラー発生検出手段による検出結果に応じたエラー処理を行うエラー処理手段と、

上記エラー処理手段の動作モードを切り換える制御手段とを備え、

第 1 の動作モードでは、上記エラー発生検出手段によりエラーが検出された場合に、上記エラー処理手段により、エラーが検出された所定の処理単位のデータをディスク状記録媒体から再度読み取って再生し、エラーのない所定の処理単位のデータで上記記憶手段に蓄積した再生データを更新し、第 2 の動作モードでは、上記エラー発生検出手段によりエラーが検出された場合に、上記エラー処理手段により、上記記憶手段に蓄積した再生データの更新を禁止して、エラーのない所定の処理単位のデータのみを用いて上記再生データを更新することを特徴とするディスク再生装置。

【請求項 2】 ディスク状記録媒体に 1 フレームが複数の所定の処理単位に分割されて記録された画像データを順次読み取って再生するディスク再生装置であって、上記エラー処理手段は、上記第 2 の動作モードにおいて、上記エラー発生検出手段によりエラーが検出された場合に、フレーム単位で再生データの更新を禁止することを特徴とする請求項 1 記載のディスク再生装置。

【請求項 3】 上記制御手段は、ディスク状記録媒体に記録されたプログラムデータを再生する際に、上記エラー処理手段を上記第 1 の動作モードに切り換え、上記ディスク状記録媒体に記録された画像データを再生する際に、上記エラー処理手段を上記第 2 の動作モードに切り換えることを特徴とする請求項 2 記載のディスク再生装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、ディスク状記録媒体に所定の処理単位毎に記録されたデータを順次読み取って再生するディスク再生装置に関し、特に、例えばビデオゲーム機などにプログラムデータや画像データや音声データを供給するためのディスク再生装置に関する。

【0002】

【従来の技術】 従来、家庭用 TV ゲーム機などのビデオゲーム装置では、高速アクセス可能な ROM (Read Only Memory) カートリッジからプログラムデータや画像データ、音声データが供給されるようになっていたが、複雑なソフトウェアによるデータ量の増加などにもとない、大きな記憶容量を有する光学ディスクをプログラムデー

タや画像データ、音声データの記録媒体として用いるディスク再生装置を備えるものが普及しつつある。

【0003】 ところで、光学ディスクなどのディスク状記録媒体では、その性質上データを読み取る際にエラーが発生することは避けられないので、セクタと呼ばれる所定の処理単位でデータが管理され、セクタ毎にエラー訂正コード (ECC: Error Correction Code) が付加されている。そして、ディスク状記録媒体からデータを再生するディスク再生装置では、ディスク状記録媒体から読み取ったデータに付加されているエラー訂正コードを用いてエラー訂正を行うことにより、エラーの少ない再生データを得るようにしている。

【0004】 上記エラー訂正コードを用いたエラー訂正処理は、ある確率でエラーを訂正できるものであって、閾値を超えたエラーが発生するとエラー訂正を行うことができなくなるので、ディスク記録媒体の状態や振動の状態などによってエラー訂正を行うことができない場合がある。そこで、このような場合に、ヘッドを戻して同じセクタを再度読み直す所謂リトライリードが行われる。

【0005】 このリトライリードの処理は、セクタ単位で高精度にヘッドの位置を制御する必要があるため、ホスト側の中央演算処理装置 (CPU: Central Processing Unit) で行うことはできず、ハードウェア回路、あるいは、ディスクドライブに設けた専用のサブ CPU により自動的に行われる。

【0006】

【発明が解決しようとする課題】 上述の如き従来のディスク再生装置では、リトライリードの処理によってディスク状記録媒体からの再生データの品質を保証することができ、プログラムデータなど時間的な連続性を要求されないデータを再生する場合にはデータの信頼性を確保できるのであるが、動画データや音楽データのように時間的に連続したデータをディスク状記録媒体からリアルタイムで再生する場合には、上記リトライリードの処理が発生すると、再生される動画や音声の不連続になってしまうという問題点があった。

【0007】 そこで、本発明の目的は、ディスク状記録媒体に所定の処理単位毎に記録されたデータを順次読み取って再生するにあたり、再生データの信頼性を確保するエラー処理と、再生データの連続性を確保するエラー処理とを切り換えることができるようにしたディスク再生装置を提供することにある。

【0008】

【課題を解決するための手段】 本発明は、ディスク状記録媒体に所定の処理単位毎に記録されたデータを順次読み取って再生するディスク再生装置であって、再生データを蓄積して出力する記憶手段と、再生データに発生したエラーを検出するエラー発生検出手段と、上記エラー発生検出手段による検出結果に応じたエラー処理を行う

エラー処理手段と、上記エラー処理手段の動作モードを切り換える制御手段とを備え、第1の動作モードでは、上記エラー発生検出手段によりエラーが検出された場合に、上記エラー処理手段により、エラーが検出された所定の処理単位データをディスク状記録媒体から再度読み取って再生し、エラーのない所定の処理単位データで上記記憶手段に蓄積した再生データを更新し、第2の動作モードでは、上記エラー発生検出手段によりエラーが検出された場合に、上記エラー処理手段により、上記記憶手段に蓄積した再生データの更新を禁止して、エラーのない所定の処理単位データのみを用いて上記再生データを更新することを特徴とする。

【0009】また、本発明に係るディスク再生装置は、ディスク状記録媒体に1フレームが複数の所定の処理単位に分割されて記録された画像データを順次読み取って再生するディスク再生装置であって、上記エラー処理手段が、上記第2の動作モードにおいて、上記エラー発生検出手段によりエラーが検出された場合に、フレーム単位で再生データの更新を禁止することを特徴とする。

【0010】さらに、本発明に係るディスク再生装置は、上記制御手段が、ディスク状記録媒体に記録されたプログラムデータを再生する際に上記エラー処理手段を上記第1の動作モードに切り換え、上記ディスク状記録媒体に記録された画像データを再生する際に上記エラー処理手段を上記第2の動作モードに切り換えることを特徴とする。

【0011】

【作用】本発明に係るディスク再生装置では、ディスク状記録媒体に所定の処理単位毎に記録されたデータを順次読み取って再生するにあたり、エラー発生検出手段による検出結果に応じたエラー処理を行うエラー処理手段の動作モードを制御手段により切り換えて、第1の動作モードでは、上記エラー発生検出手段によりエラーが検出された場合に、上記エラー処理手段により、エラーが検出された所定の処理単位データをディスク状記録媒体から再度読み取って再生し、エラーのない所定の処理単位データで上記記憶手段に蓄積した再生データを更新して、上記記憶手段に蓄積した再生データを出力し、第2の動作モードでは、上記エラー発生検出手段によりエラーが検出された場合に、上記エラー処理手段により、上記記憶手段に蓄積した再生データの更新を禁止して、エラーのない所定の処理単位データのみを用いて上記再生データを更新し、上記記憶手段に蓄積した再生データを出力する。

【0012】また、本発明に係るディスク再生装置では、ディスク状記録媒体に1フレームが複数の所定の処理単位に分割されて記録された画像データを順次読み取って再生するにあたり、上記エラー発生検出手段によりエラーが検出された場合に、上記エラー処理手段が、フレーム単位で再生データの更新を禁止して、エラーのな

い所定の処理単位データのみを用いて上記再生データを更新する第2の動作モードでエラー処理を行う。

【0013】さらに、本発明に係るディスク再生装置では、ディスク状記録媒体に記録されたプログラムデータを再生する際に、上記エラー処理手段が第1の動作モードでエラー処理を行い、上記ディスク状記録媒体に記録された画像データを再生する際に、上記エラー処理手段が第2の動作モードでエラー処理を行う。

【0014】

【実施例】以下、本発明に係るディスク再生装置の一実施例について図面を参照して詳細に説明する。

【0015】本発明に係るディスク再生装置は、例えば図1に示すように、ビデオゲーム装置に適用される。

【0016】このビデオゲーム装置は、例えば光学ディスク等の補助記憶装置に記憶されているゲームプログラムを読み出して実行することにより、使用者からの指示に応じてゲームを行うものであって、図1に示すような構成を有している。

【0017】すなわち、このビデオゲーム装置は、中央演算処理装置(CPU:Central Processing Unit)51及びその周辺装置等からなる制御系50と、フレームバッファ63に描画を行なう画像処理装置(GPU:Graphic Processing Unit)62等からなるグラフィックシステム60と、楽音、効果音等を発生する音声処理装置(SPU:Sound Processing Unit)等からなるサウンドシステム70と、補助記憶装置である光学ディスクの制御を行なう光学ディスク制御部80と、使用者からの指示を入力するコントローラからの指示入力及びゲームの設定等を記憶する補助メモリからの入出力を制御する通信制御部90と、上記制御系50～通信制御部90が接続されているバス100等を備えている。

【0018】上記制御系50は、CPU51と、割り込み制御やダイレクトメモリアクセス(DMA:Dynamic Memory Access)転送の制御等を行なう周辺デバイスコントローラ52と、ランダムアクセスメモリ(RAM:Random Access Memory)からなる主記憶装置(メインメモリ)53と、メインメモリ53、グラフィックシステム60、サウンドシステム70等の管理を行なういわゆるオペレーティングシステム等のプログラムが格納されたリードオンリーメモリ(ROM:Read Only Memory)54とを備えている。上記CPU51は、ROM54に記憶されているオペレーティングシステムを実行することにより装置全体の制御を行なうもので、32ビットのRISC CPUからなる。

【0019】そして、このビデオゲーム装置は、電源が投入されると、上記制御系50のCPU51が、ROM54に記憶されているオペレーティングシステムを実行することにより、上記グラフィックシステム60、サウンドシステム70等の制御を行なうようになっていく。また、オペレーティングシステムが実行されると、CP

U51は、動作確認等の装置全体の初期化を行なった後、上記光学ディスク制御部80を制御して、光学ディスクに記録されているゲーム等のプログラムを実行する。このゲーム等のプログラムの実行により、CPU51は、使用者からの入力に応じて上記グラフィックシステム60、サウンドシステム70等を制御して、画像の表示、効果音、楽音の発生を制御する。

【0020】また、上記グラフィックシステム60は、座標変換等の処理を行なうジオメトリトランスファエンジン(GTE:Geometry Transfer Engine)61と、CPU51からの描画指示に従って描画を行なうGPU62と、該GPU62により描画された画像を記憶するフレームバッファ63と、離散コサイン変換などの直行変換により圧縮されて符号化された画像データを復号化する画像デコーダ64とを備えている。

【0021】上記GTE61は、例えば複数の演算を並列に実行する並列演算機構を備え、上記CPU51からの演算要求に応じて座標変換、光源計算、行列あるいはベクトルなどの演算を高速に行なうことができるようになっている。具体的には、このGTE61は、例えば1つの三角形形状のポリゴンに同じ色で描画するフラットシェーディングを行なう演算の場合では、1秒間に最大150万程度のポリゴンの座標演算を行なうことができるようになっており、これによって、このビデオゲーム装置では、CPU51の負荷を低減するとともに、高速な座標演算を行なうことができるようになっている。

【0022】また、上記GPU62は、CPU51からの描画命令に従って、フレームメモリ62に対して多角形(ポリゴン)等の描画を行なう。このGPU62は、1秒間に最大36万程度のポリゴンの描画を行なうことができるようになっている。

【0023】この実施例において、上記CPU51は、メインメモリ53上に1画面分の画像を生成するための描画命令列を有している。描画命令には、その一部に実行すべき描画命令のアドレスが保持されている。上記周辺デバイスコントローラ52として設けられているDMAコントローラは、描画命令を上記メインメモリ53から上記GPU62に転送する。上記GPU62は、上記DMAコントローラから受け取った描画命令を実行して、その結果をフレームバッファ63に書き込む。上記DMAコントローラは、描画命令を1つ転送するとそれに組み込まれたアドレスをたどって次の命令を実行する。

【0024】ここで、例えば図2に示すように、台形状のポリゴンPGに市松模様状のテクスチャパターンTxをマッピングして描画を行う場合、そのテクスチャマッピング付きの描画を行うための4角形ABDCの描画命令Aは、図3のように示される。

【0025】すなわち、描画に当たっては、描画する4角形ABDCの頂点座標(XA, YA), (XB, Y

B), (XD, YD), (XC, YC)および各頂点に対応するテクスチャ座標(UA, VA), (UB, VB), (UD, VD), (UC, VC)が記述される。この描画命令列を実行すると上記GPU62は、1次変換を伴うテクスチャマッピングで装飾されたポリゴンを上記フレームバッファ63上に描画する。

【0026】そして、この実施例において、1画面分の画像を構成するときの処理は、例えば図4のフローチャートに示すように、先ずステップS1で変換マトリクスを求め、次のステップS2では描画命令Aおよび描画命令の奥行き(ZA, ZB, ZD, ZC)が与えられると、各頂点座標(XA, YA), (XB, YB), (XD, YD), (XC, YC)を透視変換する。

【0027】そして、ステップS3では、上記描画命令Aに記述された頂点座標(XA, YA), (XB, YB), (XD, YD), (XC, YC)から、透視変換後の大きさ(ΔX , ΔY)を計算する。これによりステップS4において、例えば図5に示すように、代表点Pnの個数と場所を決定する。このように、ポリゴンの大きさによって、代表点Pnの個数を適応的に変化させることにより、計算量を最適化することができる。

【0028】次のステップS5では、上記ステップS4で決定された代表点Pnの数が複数であるか否かの判定を行い、複数の場合にはステップS6に移って、各代表点Pnの座標(UPn, VPn)に対応する頂点座標(Xn, Yn)を透視変換により決定する。

【0029】そして、ステップS7では、四角形ABCDをそれぞれ代表点を頂点に4つの小四角形APO P2 P1, POBP3 P2, P1P2 P4 C, P2P3 DP4に分割し、それぞれの描画命令列B0~B4を生成する。すなわち、各サブ描画命令列Bnの頂点座標・テクスチャ座標として、先に計算された(XA, YA), (XB, YB), (XC, YC), (XD, YD)および(UP0, VP0), (UP1, VP1), (UP2, VP2), (UP3, VP3), (UP4, VP4)の値を設定する。

【0030】なお、上記ステップS4で決定された代表点が1個の場合にはステップ8に移って直ちに描画命令を作成する。

【0031】次のステップS9では、図6に示すように、サブ描画命令列Bn-1のタグTAGにサブ描画命令列Bnのアドレスを設定することで描画命令リストを作成し、この描画命令リストを元の描画命令Aと置き換える。

【0032】そして、次のステップS9では全てのポリゴンについて処理を終了したか否かの判定を行い、未処理のポリゴンがある場合には、上記ステップS2に戻って、も新たなポリゴンの頂点座標を透視変換する。

【0033】また、上記ステップS9において未処理のポリゴンがない場合には、ステップS11で前のフレー

ムの描画終了を待ち、その後ステップS12に移ってリストの先頭から描画を開始する。

【0034】上記GPU62は、図7に示すように、上記透視変換された代表点Pn間を内分すなわち直線補間することにより上記代表点Pn以外のテクスチャピクセルを決定して、図8に示すように上記フレームバッファ63上に描画を行う。

【0035】このように画像表示すべき物体を構成する3次元画像情報の単位となるポリゴン内の代表点を抽出し、その代表点の座標を透視変換してから、代表点間を線形補間することにより、ポリゴン内の全ての点について透視変換するのに比べて、計算量が極めて少なくなり、リアルタイムで現実感のある自然なマッピング画像を得ることができる。

【0036】ここで、上記フレームバッファ63は、いわゆるデュアルポートRAMからなり、上記GPU62からの描画あるいはメインメモリからの転送と、表示のための読み出しとを同時に行なうことができるようになっている。このフレームバッファ63は、1Mバイトの容量を有し、それぞれ16ビットの横1024で縦512の画素のマトリックスとして扱われる。また、このフレームバッファ63には、ビデオ出力として出力される表示領域の他に、GPU62がポリゴン等の描画を行なう際に参照するカラーlookupテーブル(CLUTr Lock Up Table)が記憶されるCLUT領域と、描画時に座標変換されてGPU62によって描画されるポリゴン等の中に挿入(マッピング)される素材(テクスチャ)が記憶されるテクスチャ領域が設けられている。これらのCLUT領域とテクスチャ領域は表示領域の変更等に従って動的に変更されるようになっている。

【0037】そして、上記GPU62は、図9に示すように、上記フレームバッファ63上に2つの矩形領域A、Bを用意して、一方の矩形領域Bに描画している間は他方の矩形領域Aの内容を表示し、描画が終了したら2つの矩形領域A、Bを垂直帰線期間内に交換することにより、書き換えの様子が表示されるのを回避するようになっている。

【0038】なお、上記GPU62は、上述のフラットシェーディングの他にポリゴンの頂点の色から補完してポリゴン内の色を決めるグーローシェーディングと、上記テクスチャ領域に記憶されているテクスチャをポリゴンに張り付けるテクスチャマッピングを行なうことができるようになっている。これらのグーローシェーディング又はテクスチャマッピングを行なう場合には、上記GTE61は、1秒間に最大50万程度のポリゴンの座標演算を行なうことができる。

【0039】さらに、上記GPU62は、上記フレームバッファ63内の任意の矩形領域の内容を表示領域のビデオ出力として出力するに当たり、次の表1に示す10種類の画面モードをサポートしている。

【0040】

【表1】

表1: 画面解像度

モード	標準解像度	備考
モード0	256(H)×240(V)	ノインターレース
モード1	320×240	
モード2	512×240	
モード3	640×480	
モード4	256×480	インターレース
モード5	320×480	
モード6	512×480	
モード7	640×480	
モード8	384×240	ノインターレース
モード9	384×480	インターレース

【0041】また、画面サイズすなわちCRT画面上のピクセル数は可変で、図10に示すように、水平方向、垂直方向それぞれ独立に表示開始位置(DTX, DTY)及び表示終了位置(DBX, DBY)を指定することができるようになっている。

【0042】さらに、上記GPU62は、表示色数に関するモードとして、32, 768色表示の15ビットモードと16, 777, 216色表示の24ビットモードの2つのモードをサポートしている。

【0043】また、上記GPU62は、描画機能として、縦×横それぞれのドット数を自由に設定できる1×1ドット～256×256ドットのスプライト描画機能をサポートしている。

【0044】ここで、スプライトに張り付けるイメージデータすなわちスプライトパターンは、図11に示すように、描画コマンド実行に先だってフレームバッファに転送され、該フレームバッファ上の非表示領域に配置される。

【0045】上記スプライトパターンは、256×256ピクセルを1ページ(テクスチャページ)として、フレームバッファ上にメモリ容量内で何枚でも置くことができる。

【0046】1枚のテクスチャページの大きさは、図12に示すように、モードによって異なる。また、フレームバッファ内でのテクスチャページの場合は、図11に示すように、描画コマンド内のTSBというパラメータにページ番号を指定することにより決定される。

【0047】スプライトパターンには、4ビットCLUT、8ビットCLUT及び15ビットDIRECTの3種類の色モードがある。

【0048】4ビットCLUTモードでは、CLUTを用いて16色スプライト描画を行う。また、8ビットCLUTモードでは、CLUTを用いて256色スプライト描画を行う。さらに、15ビットDIRECTモードでは、15ビットを直接使用して32768色スプライト描画を行う。

【0049】上記4ビットCLUTモード又は8ビットCLUTモードにおけるスプライトパターンは、最終的に表示される色を表すRGB値が16乃至256個フレームバッファ上に並べたCLUTのRGB値を指定する番号にて各ピクセルの色を表す。CLUTはスプライト単位で指定することができ、全てのスプライトに対して独立したCLUTを持つことも可能になっている。

【0050】画像デコーダ64は、上記CPU51からの制御により、メインメモリ53に記憶されている静止画あるいは動画の画像データを復号化してメインメモリ53に記憶する。

【0051】また、この再生された画像データは、GPU62を介してフレームバッファ63に記憶することにより、上述のGPU62によって描画される画像の背景として使用することができるようになっている。

【0052】上記サウンドシステム70は、CPU51からの指示に基づいて、楽音、効果音等を発生するSPU71と、該SPU71により、波形データ等が記録されるサウンドバッファ72と、SPU71によって発生される楽音、効果音等を出力するスピーカ73とを備えている。

【0053】上記SPU71は、16ビットの音声データを4ビットの差分信号として適応予測符号化(ADPCM: Adaptive Differential PCM)された音声データを再生するADPCM復号機能と、サウンドバッファ72に記憶されている波形データを再生することにより、効果音等を発生する再生機能と、サウンドバッファ72に記憶されている波形データを変調させて再生する変調機能等を備えている。

【0054】このような機能を備えることによって、このサウンドシステム70は、CPU51からの指示によってサウンドバッファ72に記録された波形データに基づいて楽音、効果音等を発生するいわゆるサンプリング音源として使用することができるようになっている。

【0055】上記光学ディスク制御部80は、光学ディスクに記録されたプログラム、データ等を再生する光学ディスク装置81と、例えばエラー訂正符号(ECC: Error Correction Code)が付加されて記録されているプログラム、データ等を復号するデコーダ82と、光学ディスク装置81からの再生データを一時的に記憶することにより、光学ディスクからの読み出しを高速化するメモリバッファ83と、これらを制御するサブCPU84を備えている。

【0056】上記光学ディスク装置81は、光学ディスクからセクタと呼ばれる処理単位毎にエラー訂正符号が付加されたデータを読み出すようになっている。なお、1セクタは例えば2048バイトからなる。また、上記デコーダ82は、上記光学ディスク装置81から供給されるデータについて、再生データに発生したエラーを検出して、発生したエラーに対してエラー訂正符号を用い

て処理単位毎にエラー訂正処理を行うエラー訂正処理機能を有し、そのエラー訂正能力を超えたエラーが発生した場合には、エラーを含む処理単位であることを示すエラー信号をサブCPU84にエラー信号を与えるようになっている。

【0057】ここで、上記光学ディスクに記録されているデータは、例えば1セクタが2048バイトで、nセクタで意味のあるデータ単位例えば動画の1画面に対応するフレームを構成するようになっている。そして、上記フレームを認識するために、各セクタにはセクタヘッダが付加されており、このセクタヘッダの情報として、少なくともフレーム番号(Sframe no)、そのセクタを含むフレームのセクタ数(Size)、及び、セクタのフレーム内オフセット(Offset)が与えられている。上記フレーム番号(Sframe no)は、光学ディスクに格納されている順に連続している。

【0058】そして、上記光学ディスク制御部80において、上記サブCPU84は、上記制御系50のCPU51により動作モードが指定されて、次のようなエラー処理を行うようになっている。

【0059】すなわち、上記サブCPU84は、図13のフローチャートに示すように、上記CPU51により指定された動作モードを判定する判定処理(ステップS21)を行い、第1の動作モードが指定されているときにはステップS22に移ってリトライモードのエラー処理を行い、第2の動作モードが指定されているときにはステップS23に移ってノーリトライモードのエラー処理を行う。

【0060】ここで、上記制御系50のCPU51は、上記光学ディスク装置81で再生するデータが、時間的な連続性を要求されないが信頼性を確保する必要があるプログラムデータなどの場合には上記第1の動作モードすなわちリトライモードを指定し、また、時間的に連続した動画データや音楽データをリアルタイムに再生する場合には、上記第2の動作モードすなわちノーリトライモードを指定する。

【0061】そして、上記リトライモードのエラー処理では、図14のフローチャートに示すように、先ず光学ディスク装置81のヘッドをデータ読み込み開始位置に移動して、データ読み込みを開始する(ステップS21)。次のステップS22では、上記デコーダ82からエラー信号が供給されたか否かのエラー判定処理を行う。このステップS22における判定結果が「YES」すなわちエラー信号が供給された場合には、上記ステップS21に戻って、エラーが発生したセクタを再度読み込む。また、このステップS22における判定結果が「NO」すなわちエラー信号が供給されていない場合には、ステップS23に移って、全てのセクタのデータ読み込みを終了したか否かの判定処理を行う。このステップS23における判定結果が「NO」すなわちデータ読

み込みを継続する場合には、上記ステップS22に戻って、エラー判定処理を行う。また、このステップS23における判定結果が「YES」すなわち全てのセクタのデータ読み込みを終了した場合にはリトライモードのエラー処理を終了する。

【0062】このようなリトライモードのエラー処理によって、エラーのないセクタ単位の再生データを上記バッファメモリ83に確実に蓄積することができ、時間的な連続性を要求されないが信頼性を確保する必要があるプログラムデータなどを確実に再生することができる。

【0063】また、上記ノーリトライモードのエラー処理では、図15のフローチャートに示すように、先ず光学ディスク装置81のヘッドをデータ読み込み開始位置に移動して、データ読み込みを開始する(ステップS31)。次のステップS32では、上記デコーダ82からエラー信号が供給されたか否かのエラー判定処理を行う。このステップS32における判定結果が「NO」すなわちエラー信号が供給されていない場合にはステップS33に移り、また、判定結果が「YES」すなわちエラー信号が供給された場合にはステップS34に移ってエラーが発生したセクタを破棄する。

【0064】上記ステップS33では、既に前のセクタが上記デコーダ82からのエラー信号により破棄されているか否かを判定する。このステップS33における判定結果が「NO」すなわち前のセクタが破棄されていない場合にはステップS35に移り、また、判定結果が「YES」すなわち前のセクタが破棄されている場合には上記ステップS34に移ってエラーが発生したセクタを含むフレームの終わりまでセクタを破棄する。

【0065】ここで、上記ステップS33における判定処理は、セクタのヘッダに埋め込まれているフレーム中のセクタオフセット(Soffset)がプログラムの内部で持つ内部変数であるセクタオフセット(offset)に等しいか否か、又は、セクタのヘッダに埋め込まれているフレーム番号(Sframe no)がプログラムの内部で持つ内部変数であるフレーム番号(frame no)に等しい否かの判定によって行われ、次の①②③の条件のいずれかを満たす場合に、セクタが破棄されていると判定する。

- 【0066】① 直前のセクタヘッダと比べてフレーム番号(Sframe no)が変化して且つセクタオフセット(Soffset)が「0」でない場合
- ② 同一フレーム内で直前のセクタオフセット(Soffset)がSoffset-1でない場合
- ③ 直後セクタが上記①の条件を満たすのに、セクタオフセット(Soffset)が「Size-1」でない場合

また、上記ステップS34におけるデータの破棄は、データポインタを進めないことで実現している。すなわち、データポインタを進めなければ、次のデータをオー

バーライトする。

【0067】さらに、上記ステップS35では、セクタオフセット(Soffset)とフレームサイズ(Size)に基づいて、フレームの最後のセクタでないか否かを判定する。そして、このステップS35における判定結果が「NO」すなわちフレームの最後のセクタである場合には、ステップS36に移って内部変数のセクタオフセット(offset)を「0」にしてから、ステップS37に移って内部変数のフレーム番号(frame no)をインクリメントして、ステップS39に移る。また、このステップS35における判定結果が「YES」すなわちフレームの最後のセクタでない場合には、ステップS38に移って内部変数のセクタオフセット(offset)をインクリメントして、上記ステップS39に移る。

【0068】そして、上記ステップS39では、フレーム番号(Sframe no)に基づいて、全てのフレームの終わりまでデータを再生したか否かの判定を行う。この上記ステップS39における判定結果が「NO」すなわちデータ読み込みを継続する場合には、上記ステップS32に戻って、エラー判定処理を行う。また、このステップS39における判定結果が「YES」すなわち全てのフレームのデータ読み込みを終了した場合にはノーリトライモードのエラー処理を終了する。

【0069】このようなノーリトライモードのエラー処理によって、上記バッファメモリ83に蓄積される再生データをエラーのない再生データでフレーム単位に更新して、時間的に連続した動画データや音楽データをリアルタイムで再生することができる。

【0070】ここで、光学ディスク装置81で再生される光学ディスクに記録されている音声データとしては、上述のADPCMデータの他に音声信号をアナログ/デジタル変換したいわゆるPCMデータがある。

【0071】ADPCMデータとして、例えば16ビットのデジタルデータの差分を4ビットで表わして記録されている音声データは、デコーダ82で復号化された後、上述のSPU71に供給され、SPU71でデジタル/アナログ変換等の処理が施された後、スピーカ73を駆動するために使用される。また、PCMデータとして、例えば16ビットのデジタルデータとして記録されている音声データは、デコーダ82で復号化された後、スピーカ73を駆動するために使用される。

【0072】さらに、上記光学ディスク装置81で再生される光学ディスクに記録されているデータとしては、静止画あるいは動画の画像データがある。

【0073】ここで、上記画像データは、16×16ピクセルの矩形領域を1単位とするマクロブロック(MB:Macro Block)毎に離散コサイン変換(DCT:Discrete Cosine Transform)して圧縮した後に、ハフマン符号により可変長符号化(VLC:Variable Length Coding)したもの

で、所謂J P E G (Joint Photographic Coding Experts Group)やM P E G (Moving Picture Experts Group)の画像符号化方式に準拠したものとなっている。

【0074】動画の再生は、図16に示すように、上記CPU51からの制御により、上記光学ディスク装置81で連続的に再生されたビットストリームの画像データをメインメモリ53に取り込んで、上記画像デコーダ64によりマクロブロック(MB)単位で復号化し、上記GPU62に転送することにより行われる。

【0075】ここで、動画の解像度とフレーム数は、上記画像デコーダ64の展開速度と上記光学ディスク装置81の転送速度により決定される。上記画像デコーダ64の展開速度は、最大9000マクロブロック/秒であって、320×240ピクセルの画像を1秒30枚の速度で展開することができる。また、上記光学ディスク装置81の転送速度は、標準速(150KB/秒度)と倍速(300KB/秒度)が選択できるようになっている。倍速再生時には、1フレームを構成するビットストリームを10KB(=300KB/30)以下に圧縮して記録した光学ディスクから30フレーム/秒のデータが読み出せることになる。

【0076】そして、上記動画の再生では、例えば図17に示すように、マクロブロック(MB)単位で展開した画像データを一旦フレームバッファ63上のテクスチャ領域に転送し、テクスチャマッピングにより表示領域に描画してテクスチャアニメーションを行う。

【0077】このように、上記光学ディスク装置81により時間的に変化するテクスチャパターンを光学ディスクから再生して、フレームバッファ63上のテクスチャ領域に転送し、テクスチャパターンを1フレーム毎に更新しながら、描画命令を実行することによって、メインメモリ以上にテクスチャパターンを持ち、リアルタイムでテクスチャパターンを変更して画像生成を行うことができる。

【0078】なお、単純な動画の再生は、図18に示すように、上記フレームバッファ63をダブルバッファ構成として描画バッファ側にマクロブロック(MB)単位で展開した画像を順次転送することにより実現する。このとき、動画の転送を最初のバックグラウンド面のクリアとして使用し、その上にオブジェクト・プリミティブを描画することができる。

【0079】また、上記光学ディスク装置81により時間的に変化する変換データとして色変換データを光学ディスクから再生して、フレームバッファ63上のCLUT領域に転送し、上記GPU62により、1フレーム毎にカラーlookupアップテーブルを更新しながら描画命令を実行して表示出力画像データを生成するようにしても良い。これにより、メインメモリ以上に色変換データを持ち、リアルタイムで色変換データを変更して画像生成を行うことができる。

【0080】また、通信制御部90は、バス100を介してCPU51との通信の制御を行なう通信制御機91を備え、使用者からの指示を入力するコントローラ92が接続されるスロット93と、ゲームの設定データ等を記憶するメモリカード94A、94Bが接続される二つのカードコネクタ95A、95Bが上記通信制御機91に設けられている。

【0081】上記スロット93に接続されたコントローラ92は、使用者からの指示を入力するために、例えば16個の指示キーを有し、通信制御機91からの指示に従って、この指示キーの状態を、同期式通信により、通信制御機91に毎秒60回程度送信する。そして、通信制御機91は、コントローラ92の指示キーの状態をCPU51に送信する。これにより、使用者からの指示がCPU51に入力され、CPU51は、実行しているゲームプログラム等に基づいて使用者からの指示に従った処理を行なう。

【0082】また、上記CPU51は、実行しているゲームの設定データ等を記憶する必要があるときに、該記憶するデータを通信制御機91に送信し、通信制御機91はCPU51からのデータを上記カードコネクタ95Aまたはカードコネクタ95Bに接続されたメモリカード93Aまたはメモリーカード93Bに記憶する。

【0083】ここで、上記通信制御機91には、電気的な破壊を防止するための保護回路が内蔵されている。上記メモリカード93A、93Bは、バス100から分離されており、装置本体の電源を入れた状態で、着脱することができる。従って、記憶容量が足りなくなった場合に、装置本体の電源を遮断することなく、新たなメモリカードを装着することができ、バックアップする必要のあるゲームデータが失われてしまうことなく、新たなメモリカードを装着して、必要なデータを新たなメモリカードに書き込むことができる。

【0084】また、上記メモリカード93A、93Bは、ランダムアクセス可能でかつバックアップ電源を必要としないフラッシュメモリからなり、マイクロコンピュータを内蔵している。このメモリカード93A、93Bは、上記カードコネクタ95Aまたはカードコネクタ95Bに接続されると、そのカードコネクタを介して上記マイクロコンピュータに装置本体から電源が供給されるようになっている。

【0085】ここで、メモリカード93A、93Bは、アプリケーションからはポートとカードコネクタを指定する2桁の16進数で識別されるファイルデバイスとして認識される。また、このメモリカード93A、93Bは、ファイルオープン時の自動初期化機能を実装している。

【0086】そして、上記マイクロコンピュータは、メモリカード93A、93Bがカードコネクタ95Aまたはカードコネクタ95Bに接続され、装置本体から電源

が供給され始めた時点で、先ず内部状態を「未通信」の状態に設定し、その後上記通信制御機 91 を介しての通信を受け付けるようになっている。

【0087】装置本体側の CPU 51 は、通信プロトコルの中でカードからホストへの接続確認のための回答パケットの中にある「内部状態」を表すフィールドに基いて、カードコネクタ 95A またはカードコネクタ 95B に接続されたメモリカード 93A、93B に内蔵されているマイクロコンピュータの内部状態をテストすることにより、「未通信」の場合に、新たに接続されたメモリカード 93A、93B との通信であることを認識することができる。そして、新たに接続されたメモリカード 93A、93B とのファイル管理データの構造、例えばファイル名、ファイルサイズ、スロット番号やステータスなど情報を読み取る。

【0088】このような通信プロトコルによって、メモリカード 93A、93B の動的な抜き差しに対応した通信を行うことが可能になっている。

【0089】これにより、ゲームの設定等を 2 枚のメモリカード 93A、93B に記憶することができる。また、2 枚のメモリカード 93A、93B でデータを直接コピーしたり、2 枚のメモリカード 93A、93B から各種データを装置本体に同時に直接取り込むことができる。

【0090】上記メモリカード 93A、93B は、ランダムアクセス可能でかつバックアップ電源を必要としないフラッシュメモリからなるので、データを半永久的に保存することができる。また、このビデオゲーム装置は、バス 100 に接続されたパラレル入出力 (I/O) 101 と、シリアル入出力 (I/O) 102 とを備えている。

【0091】そして、パラレル I/O 101 を介して周辺機器との接続を行なうことができるようになっており、また、シリアル I/O 102 を介して他のビデオゲーム装置との通信を行なうことができるようになっている。

【0092】ところで、上記メインメモリ 53、GPU 62、画像デコーダ 64 及びデコーダ 82 等の間では、プログラムの読み出し、画像の表示あるいは描画等を行なう際に、大量の画像データを高速に転送する必要がある。

【0093】このため、このビデオゲーム装置では、上述のように CPU 51 を介さずに周辺装置制御部 52 からの制御により上記メインメモリ 53、GPU 62、画像デコーダ 64 及びデコーダ 82 等の間で直接データの転送を行なういわゆる DMA 転送を行なうことができる。

【0094】これにより、データ転送による CPU 51 の負荷を低減させることができ、高速なデータの転送を行なうことができる。

【0095】このビデオゲーム装置では、電源が投入されると、CPU 51 が、ROM 54 に記憶されているオペレーティングシステムを実行する。

【0096】このオペレーティングシステムに実行により、CPU 51 は、上記グラフィックシステム 60、サウンドシステム 70 等の制御を行なう。

【0097】また、オペレーティングシステムが実行されると、CPU 51 は、動作確認等の装置全体の初期化を行なった後、光学ディスク制御部 80 を制御して、光学ディスクに記録されているゲーム等のプログラムを実行する。

【0098】そして、このゲーム等のプログラムの実行により、CPU 51 は、使用者からの入力に応じて上記グラフィックシステム 60、サウンドシステム 70 等を制御して、画像の表示、効果音、楽音の発生を制御する。

【0099】

【発明の効果】以上のように、本発明に係るディスク再生装置では、ディスク状記録媒体に所定の処理単位毎に記録されたデータを順次読み取って再生するにあたり、エラー発生検出手段による検出結果に応じたエラー処理を行うエラー処理手段の動作モードを制御手段により切り換える。そして、第 1 の動作モードでは、上記エラー発生検出手段によりエラーが検出された場合に、上記エラー処理手段により、エラーが検出された所定の処理単位のデータをディスク状記録媒体から再度読み取って再生し、エラーのない所定の処理単位のデータで上記記憶手段に蓄積した再生データを更新して、上記記憶手段に蓄積した再生データを出力するので、エラーのない所定の処理単位のデータ上記記憶手段に確実に蓄積することができる。時間的な連続性を要求されない信頼性を確保する必要のあるプログラムデータなどを確実に再生することができる。また、第 2 の動作モードでは、上記エラー発生検出手段によりエラーが検出された場合に、上記エラー処理手段により、上記記憶手段に蓄積した再生データの更新を禁止して、エラーのない所定の処理単位のデータのみを用いて上記再生データを更新し、上記記憶手段に蓄積した再生データを出力するので、時間的に連続した動画データや音楽データをリアルタイムで再生することができる。

【図面の簡単な説明】

【図 1】本発明を適用したビデオゲーム装置の構成を示すブロック図である。

【図 2】マッピングするテクスチャパターンとポリゴンの一例を模式的に示す図である。

【図 3】テクスチャマッピング付きの描画を行うための 4 角形の描画命令の内容を模式的に示す図である。

【図 4】上記ビデオゲーム装置において 1 画面分の画像を構成する処理を示すフローチャートである。

【図 5】上記 1 画面分の画像を構成する処理における代

表点を模式的に示す図である。

【図 6】上記 1 画面分の画像を構成する処理で作成した描画命令リストを模式的に示す図である。

【図 7】上記 1 画面分の画像を構成する処理において直線補間することにより決定したテクスチャピクセルを模式的に示す図である。

【図 8】上記 1 画面分の画像を構成する処理においてフレームバッファ上に描画した結果を模式的に示す図である。

【図 9】上記ビデオゲーム装置における GPU によるフレームバッファの切り換え状態を模式的に示す図である。

【図 10】上記ビデオゲーム装置において画面サイズの指定の仕方を模式的に示す図である。

【図 11】上記ビデオゲーム装置におけるスプライト描画動作を模式的に示す図である。

【図 12】上記ビデオゲーム装置における 1 枚のテクスチャページを模式的に示す図である。

【図 13】上記ビデオゲーム装置における光学ディスク制御部のサブ CPU によるエラー処理を示すフローチャートである。

【図 14】上記ビデオゲーム装置におけるリトライモードのエラー処理を示すフローチャートである。

【図 15】上記ビデオゲーム装置におけるノーリトライモードのエラー処理を示すフローチャートである。

【図 16】上記ビデオゲーム装置における動画データのデータフローを模式的に示す図である。

【図 17】上記ビデオゲーム装置におけるテクスチャ転送による動画の再生動作を模式的に示す図である。

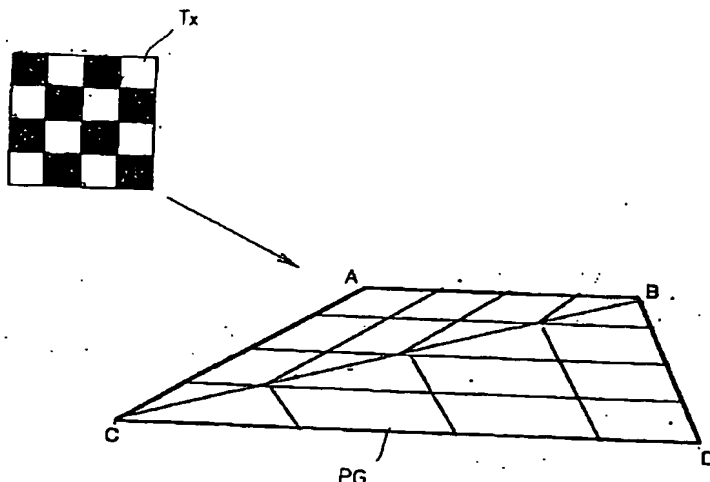
【図 18】上記ビデオゲーム装置におけるダイレクト転

送による動画の再生動作を模式的に示す図である。

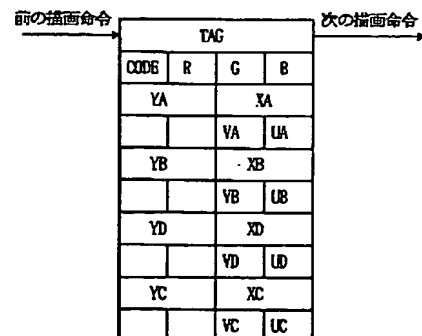
【符号の説明】

- 50 制御系
- 51 CPU
- 52 周辺装置制御部
- 53 メインメモリ
- 54 ROM
- 60 グラフィックシステム
- 61 GTE
- 62 GPU
- 63 フレームバッファ
- 64 画像デコーダ
- 65 ディスプレイ装置
- 70 サウンドシステム
- 71 SPU
- 72 サウンドバッファ
- 73 スピーカ
- 80 光学ディスク制御部
- 81 光学ディスク装置
- 82 デコーダ
- 83 バッファメモリ
- 90 通信制御部
- 91 通信制御機
- 92 コントローラ
- 93 スロット
- 94 A, 94 B メモリカード
- 95 A, 95 B カードコネクタ
- 100 バス
- 101 パラレル I/O
- 102 シリアル I/O

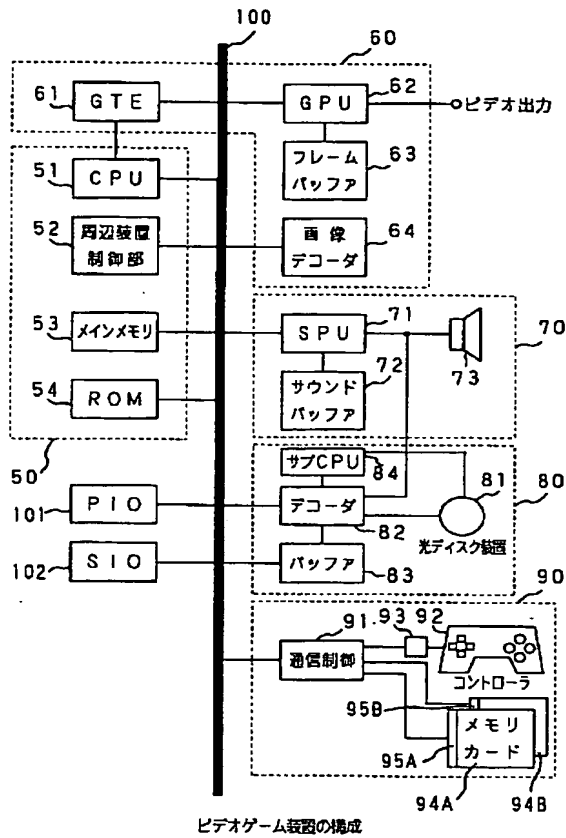
【図 2】



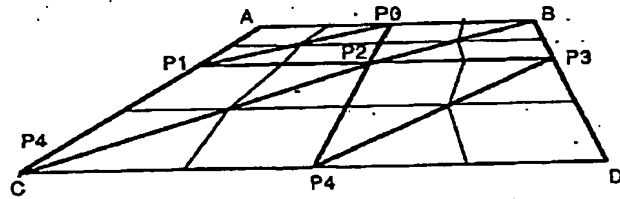
【図 3】



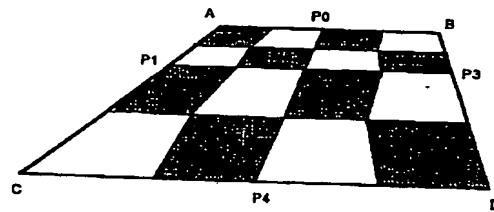
【図1】



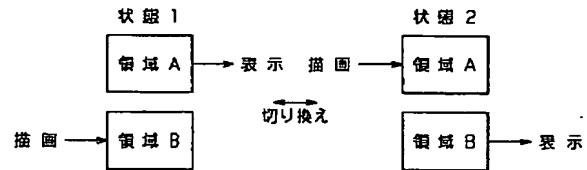
【図5】



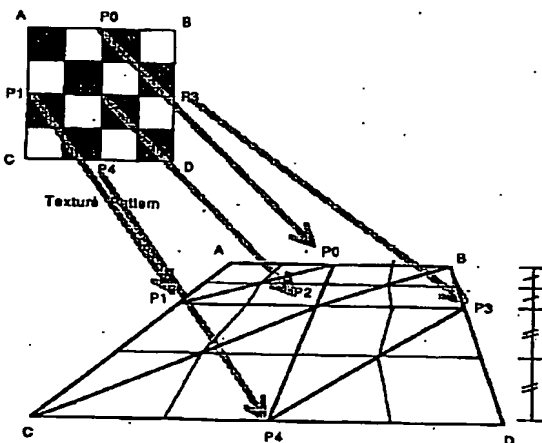
【図8】



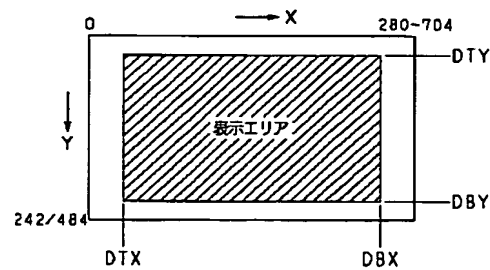
【図9】



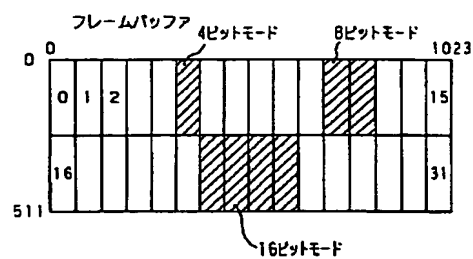
【図7】



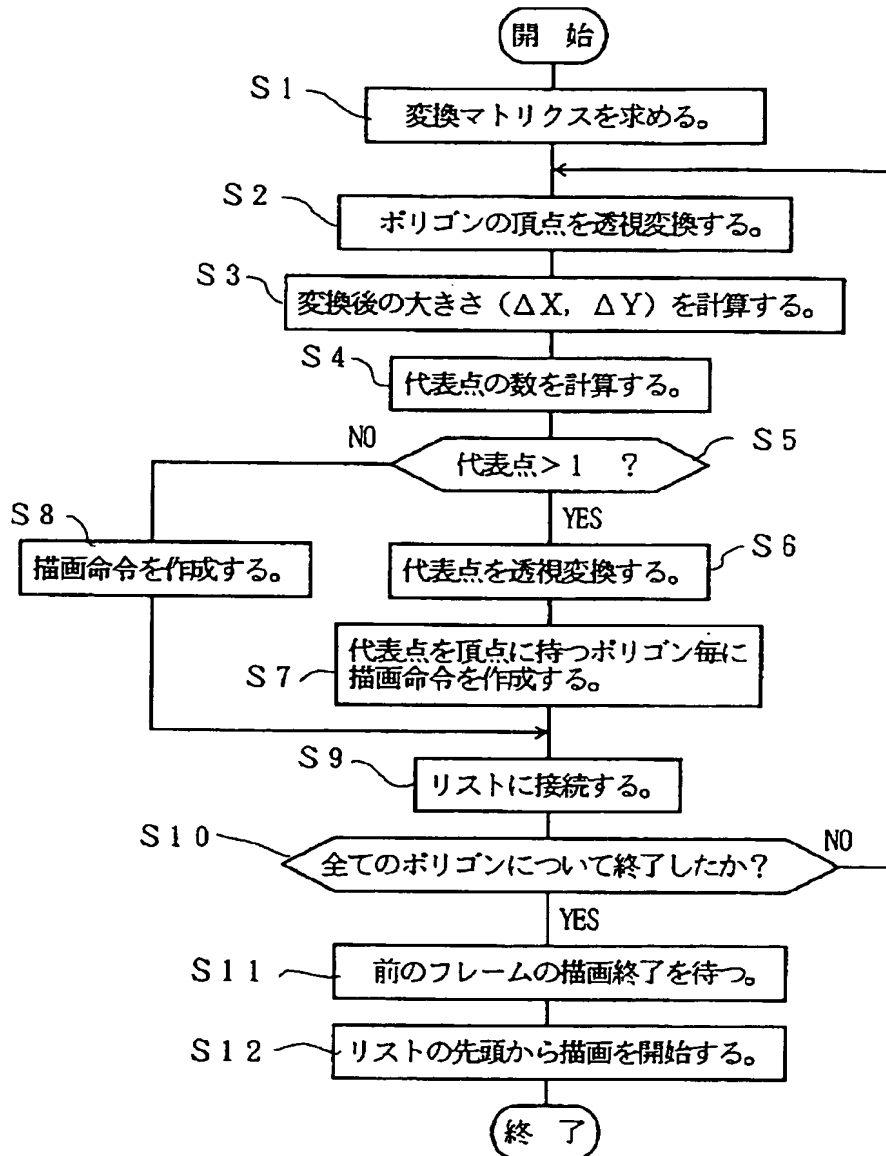
【図10】



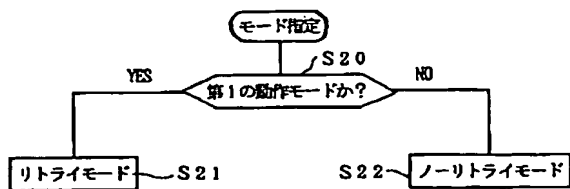
【図12】



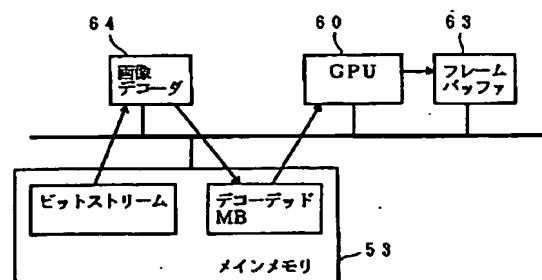
【図 4】



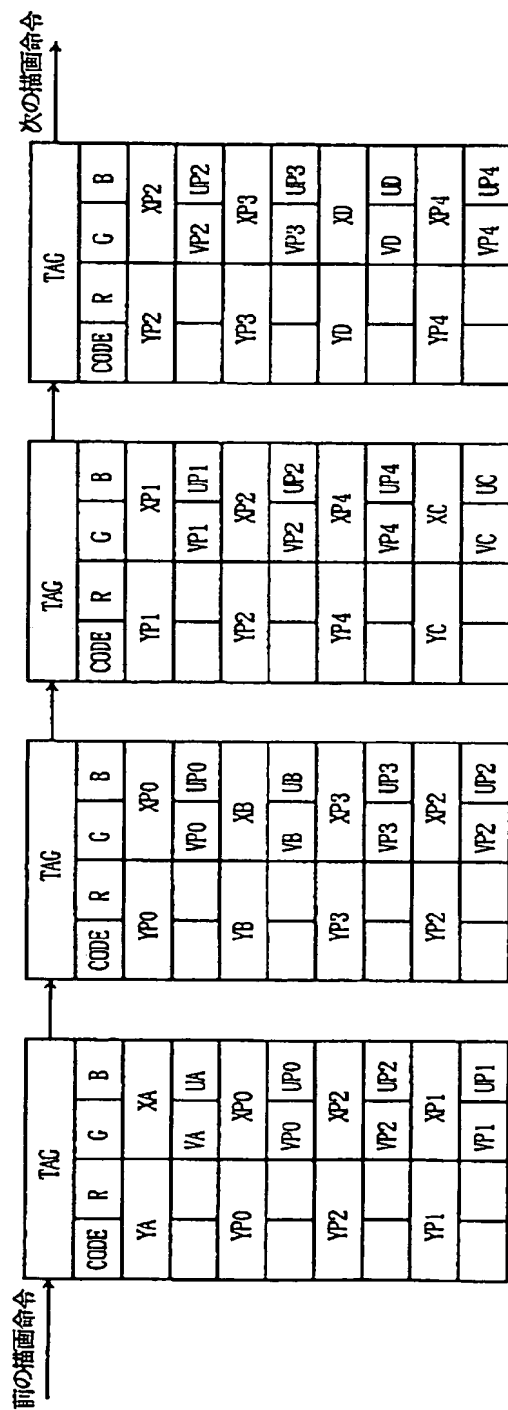
【図 13】



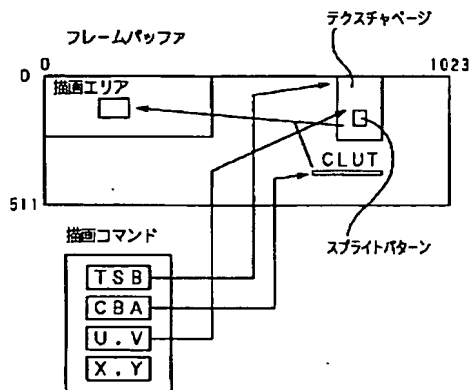
【図 16】



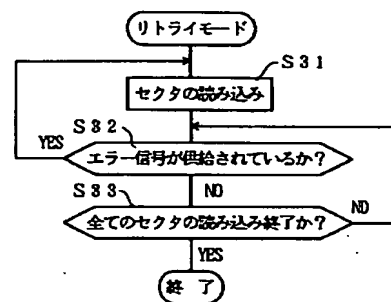
【図 6】



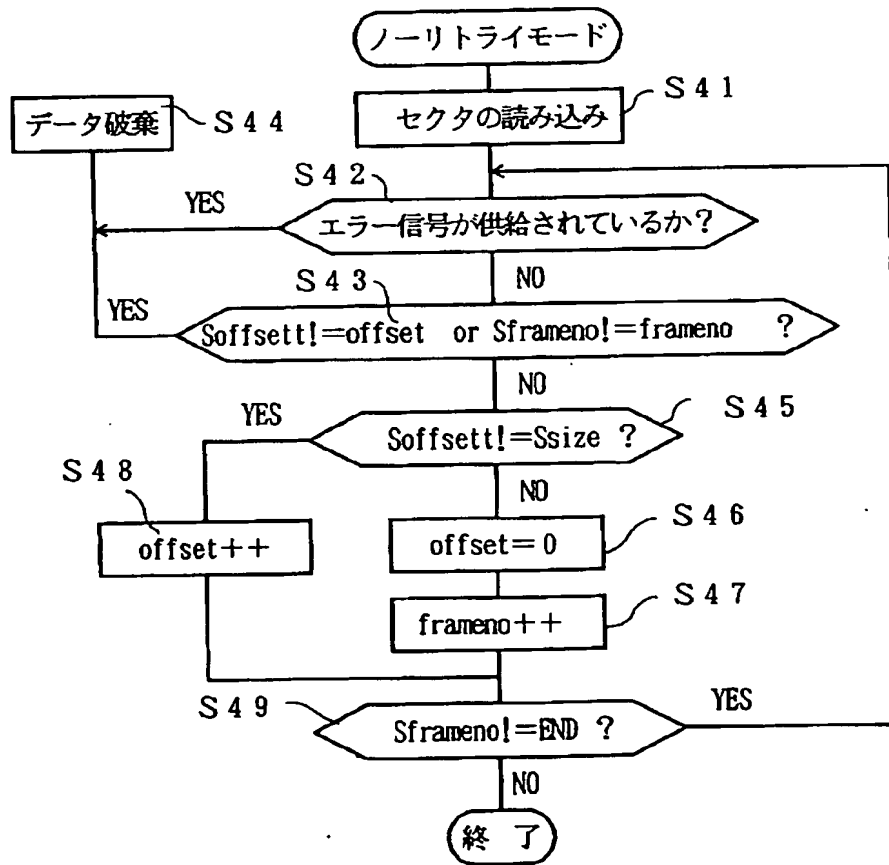
【図 11】



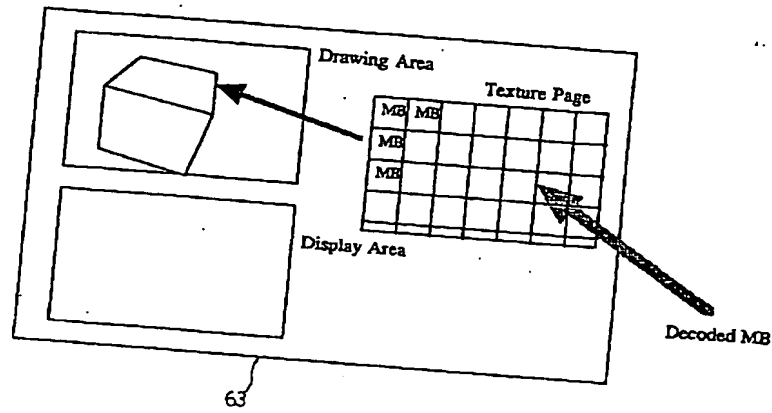
【図 14】



【図 15】



【図 17】



【図 18】

